

Circuit configuration for applying a supply voltage to a load and method for such application

Publication number: JP2003520556T

Publication date: 2003-07-02

Inventor:

Applicant:

Classification:

- international: **H02M3/335; H02M3/24; (IPC1-7): H02M3/28; H02M3/155**

- european: **H02M3/335C**

Application number: JP20010552508T 20010109

Priority number(s): DE20001001394 20000114; WO2001EP00170 20010109

Also published as:

WO0152396 (A3)
WO0152396 (A2)
US6643144 (B2)
US2003001548 (A1)
EP1247327 (A0)

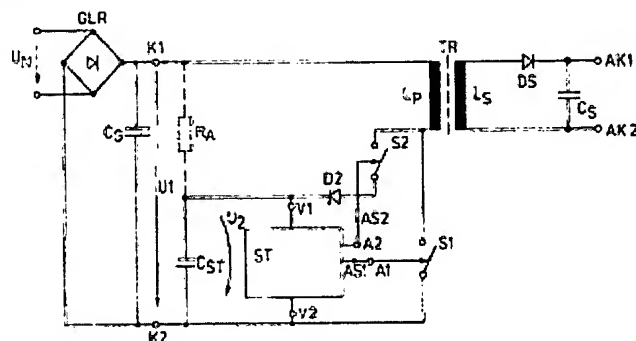
more >>

[Report a data error here](#)

Abstract not available for JP2003520556T

Abstract of corresponding document: **US2003001548**

A circuit configuration for pulsed application of a first supply voltage to a load includes a first switch, connected in series with the load, a first control connector, a control circuit for control of the first switch and having a first output terminal connected to the control connector of the first switch and first and second voltage supply terminals, a second switch connected between the load and the first voltage supply terminal of the control circuit and having a second control connector to which a control signal is supplied. The invention also includes a method for actuating the first and second switches and use of the inventive circuit configuration in a switched-mode power supply or a power factor controller.



Data supplied from the **esp@cenet** database - Worldwide

【特許請求の範囲】

【請求項1】

負荷装置（ L 、 L_p ）に対して直列に接続されており、第1制御端子（ G ）を備えている第1スイッチ（ S_1 、 T_1 ）と、

上記第1スイッチ（ S_1 、 T_1 ）の制御端子（ G ）に接続される第1出力端子（ A_1 ）、ならびに、第1および第2電圧供給端子（ V_1 、 V_2 ）を備えており、上記第1スイッチ（ S_1 、 T_1 ）を制御するための制御回路（ ST ）とを有し、

第1供給電圧（ U_1 、 U_3 ）を、上記負荷装置（ L 、 L_p ）に周期的に供給するための回路構造であって、

上記負荷装置（ L 、 L_p ）と上記制御回路（ ST ）の第1電圧供給端子（ V_1 ）との間に接続されており、制御信号（ AS_2 ）が導入される第2制御端子（ G ）を備える第2スイッチ（ S_2 、 T_2 ）を有していることを特徴とする回路構造。

【請求項2】

上記制御回路（ ST ）は、上記第2スイッチ（ S_2 、 T_2 ）の上記制御端子（ G ）に接続される第2出力端子（ A_2 ）を備えていることを特徴とする請求項1に記載の回路構造。

【請求項3】

キャパシタ（ C_{ST} ）が、上記制御回路（ ST ）に対して並列に、上記第1電圧供給端子と上記第2電圧供給端子と（ V_1 、 V_2 ）の間に、接続されていることを特徴とする請求項1または2に記載の制御回路。

【請求項4】

上記制御回路（ ST ）と上記第2スイッチ（ S_2 、 T_2 ）との直列接続が、上記第1スイッチ（ S_1 、 T_1 ）に対して並列に接続されていることを特徴とする請求項1ないし3のいずれか1項に記載の回路構造。

【請求項5】

ダイオード（ D_2 ）が、上記第1電圧供給端子（ V_1 ）と上記第2スイッチ（ S_2 、 T_2 ）との間に接続されていることを特徴とする請求項4に記載の回路構造。

造。

【請求項 6】

上記第 2 スイッチ (T 2) が、上記負荷装置 (L) と上記第 1 スイッチ (T 1) とに直列に接続されていることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の回路構造。

【請求項 7】

上記第 2 スイッチ (T 2) が、上記負荷装置 (L) と上記第 1 スイッチ (T 1) との間に接続されていることを特徴とする請求項 6 に記載の回路構造。

【請求項 8】

ダイオード (D 3) が、上記第 1 スイッチと上記第 2 スイッチと (T 1, T 2) に共通の結線と上記制御回路の上記第 1 電圧供給端子との間に接続されていることを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の回路構造。

【請求項 9】

ダイオード (D 1, D 4) が、上記第 1 電圧供給端子 (V 1) と上記第 2 スイッチ (T 2) の上記制御端子 (G) との間に接続されていることを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の回路構造。

【請求項 10】

抵抗器 (R A) が、供給電圧 (U 1) 用端子 (K 1) と上記制御回路 (S T) の上記第 1 電圧供給端子 (V 1) との間に接続されていることを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載の回路構造。

【請求項 11】

抵抗器 (R A) が、上記第 2 スイッチ (T 2) に対して並列に、上記負荷装置 (L_p) と上記第 1 電圧供給端子 (V 1) との間に接続されていることを特徴とする請求項 1 ないし 10 のいずれか 1 項に記載の回路構造。

【請求項 12】

上記第 2 電圧供給端子 (V 2) と、第 1 スイッチ (T 1) の上記負荷装置から離れている方の接続端子とが、基準電位用の共通端子 (K 2) に接続されていることを特徴とする請求項 1 ないし 11 のいずれか 1 項に記載の回路構造。

【請求項 13】

上記第1および第2スイッチ（T1，T2）は、半導体スイッチ、特にFETまたはIGBTであることを特徴とする上記請求項のいずれか1項に記載のスイッチ回路網部。

【請求項14】

上記第2スイッチ（T2）は、ディプリーションMOSFETまたはJFETであることを特徴とする上記請求項のいずれか1項に記載のスイッチ回路網部。

【請求項15】

上記第1スイッチ（T1）はIGBTとして、および、第2スイッチ（T2）はMOSFETとして構成されていることを特徴とする上記請求項のいずれか1項に記載のスイッチ回路網部。

【請求項16】

請求項1ないし15のいずれか1項に記載の回路構造が有する上記第1および第2スイッチ（S1，S2，T1，T2）の制御方法であって、

上記第1および第2スイッチ（S1，S2，T1，T2）は、少なくとも、ほぼ同時に閉鎖され、時間的な間隔をおいて開放されることを特徴とする制御方法。

【請求項17】

請求項1から15のいずれか1項に記載の回路構造が有する上記第1および第2スイッチ（S1，S2，T1，T2）の制御方法であって、

上記第2スイッチ（S2，T2）は、上記第1スイッチ（S1，T1）の開放の直前、または、開放と同時に閉鎖され、上記第1スイッチ（S1，T1）が開放された後に開放されることを特徴とする制御方法。

【請求項18】

上記第2スイッチ（S2，T2）の閉鎖期間は、上記電圧供給端子（V1，V2）に供給されている供給電圧（U2）の値に依存することを特徴とする請求項16または17に記載の方法。

【請求項19】

上記負荷装置が変圧器の1次巻線である場合のスイッチ回路網部での、請求項1ないし15のいずれか1項に記載の回路構造の使用。

【請求項 20】

上記負荷装置が入力電流が流れるインダクタンスである場合の力率制御器での、請求項 1 ないし 15 のいずれか 1 項に記載の回路構造の使用。

【発明の詳細な説明】

本発明は、請求項1の前提構成の特徴に基づく、供給電圧を負荷装置に供給するための回路構造に関するものである。

【0001】

このような回路構造は、例えば、スイッチ回路網部または力率制御器に応用される。この構造では、各1つのインダクタンスには、制御信号に応じて周期的に電圧が印加される。この際、負荷装置に対して直列に接続されている第1スイッチ用の制御信号が、制御回路から生成される。この制御回路は、規則的に機能するために電圧供給端子に供給される供給電圧を必要とする。

【0002】

周知のこのような回路構造は、欧州公開特許0585788A1、特に、添付の図3から周知である。ここでは、回路構造が、スイッチ回路網部の一部であり、この場合、変圧器の1次巻線と、MOSFETとして構成されているスイッチとから構成される直列接続は、ブリッジ整流器の出力端子の間に接続されている。MOSFETを制御するために、制御回路が備えられている。制御回路に電圧を供給するために、ディブリーションMOSFETまたはJFET（Junction-FET）が1次巻線とMOSFETとの間に接続されている。この場合、制御回路の供給端子は、MOSFETが遮断した場合に制御回路用の供給電圧を出力連結するために、JFETとMOSFETとに共通する結線に接続されている。加えて、変圧器の2次巻線の他に、2次側に、後接続された整流器を有する補助巻線が備えられている。この補助巻線は、同様に、制御回路の電圧供給に使用される。

【0003】

この装置では、スイッチとして作用するMOSFETが導通している場合、これに対して直列に接続されているJFETもまた導通している。MOSFETが遮断すると、JFETもまた、遮断し始める。このことは、ほぼ全体の供給電圧が、JFETにかかる結果となる。この場合、変圧段階では、JFETを介して、まだ電流が制御回路に流れている。このことは、なにより、JFETでの高い電力損失に繋がっている。

【0004】

整流器を有する2次側の補助巻線を、制御回路の電圧供給のために、言及された刊行物に基づくJ E F Tを用いずにも使用することも、既に周知である。この補助巻線は、別個の構成要素を必要とし、そのコストは、回路網部分または力率制御器全体の価格に不利に影響する。このことは、特に、電力階級が5 Wから20 Wまでの間のスイッチ回路網部に該当し、その電力階級は、いわゆる、電気機器の「待機運転」を確実にするために使用され、特に価格の圧迫を受けている。

【0005】

従って、本発明の目的は、制御回路に電圧を供給するために、補助巻線、または、別個の構成要素の追加をしなくてもよく、供給電圧を、制御回路に調達する際に、全く、もしくは、ほんの僅かしか電力損失が生じない、上記に述べたような種類の回路構造を提供することである。

【0006】

本課題は、請求項1の特徴に基づく回路構造によって解決される。

【0007】

そのため、回路構造は、負荷装置に対して直列に接続されている第1スイッチの他に、第2スイッチを備えている。この第2スイッチは、負荷装置と制御回路の第1電圧供給端子との間に接続されている。第1スイッチが開放された後、このときは閉鎖されている第2スイッチが、負荷装置を流れる電流を引き継ぎ、この電流を、その第1電圧供給端子を介して制御回路に導入する。この第2スイッチは、同様に制御回路によって制御されていることが好ましい。その第2スイッチが開放された後、次に閉鎖されるまで、連続的に徐々に下降する供給電圧を、制御回路に提供するために、第2スイッチを流れる電流が、制御回路の電圧供給端子に対して並列に接続されているキャパシタに、一時的に保存されることが好ましい。

【0008】

閉鎖された状態では、導通抵抗が僅かなため、第2スイッチでは全体の電圧と比較して、僅かな電圧降下が生じるにすぎない。このことから、第2スイッチでの電力損失は僅かである。電圧降下の大部分は負荷装置において生じる。このと

き、誘導性負荷装置の場合は、その後、スイッチ回路網部もしくは力率制御器において使用されるエネルギーが蓄積される。

【0009】

第2スイッチは、集積構成部分として、制御回路用の集積回路もしくは第1スイッチ用の集積回路に、一このとき制御回路および第1スイッチも集積回路に備えることも可能である一ほぼ経費を追加投入することなく実現することが可能である。

【0010】

本発明の好ましい実施形態は、従属請求項に基づいている。

【0011】

本発明の第1実施形態では、第2スイッチと制御回路との直列接続を、第1スイッチに対して並列に接続することが考えられる。この実施形態では、第1スイッチが閉鎖している間中、第2スイッチと制御回路とからなる直列接続にかかっている電圧は、第2スイッチが閉鎖されている場合に、制御回路もしくは制御回路に対して並列に接続されたキャパシタに対して電流を流すためには十分ではない。第1スイッチが開放されると、その負荷経路にかかる電圧は、閉鎖した第2スイッチを介して電流がキャパシタに流れることが可能な電圧に達するまで上昇する。第2スイッチは、同様に、制御回路を介して制御されることが好ましい。このとき、制御回路の第2出力端子は、第2スイッチの制御端子に接続されている。

【0012】

第2スイッチの制御は、様々な方法によって行うことが可能である。従って、第1スイッチが閉鎖されている場合、第2スイッチは、既に閉鎖されていることも可能である。しかし、第2スイッチは、制御回路にある期間電流を供給するために、第1スイッチの開放と同時あるいは第1スイッチの開放の直前に、初めて閉鎖されることも可能である。第1スイッチの開放の後、第2スイッチがまだ閉鎖したままである間の期間は、制御回路の電圧供給端子もしくはキャパシタに供給される電圧に依存する。第2スイッチは、最後の充電工程以降に減少した電荷が、キャパシタに再度「補充」される、あるいは、キャパシタの電圧が事前に設

定された基準値に達するまで、閉鎖されたままであることが好ましい。

【0013】

本発明の更なる実施形態では、第2スイッチを第1スイッチに対して直列に、好ましくは、第1スイッチと負荷装置との間に接続することが考えられる。この実施形態では、制御回路の第1電圧供給端子が、好ましくはダイオードを介して、第1および第2スイッチに共通する結線に接続されている。第1および第2スイッチが導通している場合、電流は、負荷装置とそれに対して直列に接続されている両方のスイッチを介して流れる。直列接続にかかっている供給電圧のほぼ全てが、負荷装置における電圧降下となる。第1スイッチにおける電圧降下は、電流をそれと並列に接続されている制御回路もしくはそれと並列に接続されているキャパシタに流すのに十分ではない。第1スイッチが閉鎖され、第2スイッチが導通しているままの場合、第1スイッチにかかる電圧は、キャパシタを再度充電するために、第2スイッチが閉鎖している場合に、電流を、負荷装置と第2スイッチとを介して、キャパシタに流す事が可能になるまで上昇する。第2スイッチは、導通している状態では導通抵抗が僅かであるようにサイズが定められており、その結果、ここでの電力損失は僅かとなる。

【0014】

第1および第2スイッチは、半導体スイッチ、特にMOSFETとして構成されていることが好ましく、この場合、第2半導体スイッチは、ディブリーションFETもしくはJFETとして構成されることが可能である。

【0015】

本発明の対象は、更に、第1および第2スイッチの制御方法である。

【0016】

本発明は、更に、本発明による回路構造をスイッチ回路網部または力率制御器に使用することも考慮に入れている。

【0017】

本発明を、以下に、実施例において図を参照しながら詳述する。

【0018】

図1は、第1実施形態に基づく本発明による回路構造を示す。図2は、第1お

よび第2スイッチとしてトランジスタを使用する、図1に基づく本発明による回路構造を示す。図3は、図2による実施形態に対して、第2スイッチの変更された制御による第2形態に基づく本発明による回路構造を示す。図4は、第1スイッチとしてIGBTを有する、本発明による回路構造を示す。図5は、第1および第2スイッチが直列に接続されている、更なる実施形態に基づく本発明による回路構造を示す。図6は、第1および第2スイッチを介した電流の時間変化を示す。

【0019】

図では、他に挙げられていない限り、同じ参照番号は、同じ意味を持つ同じ部材を示している。

【0020】

図1は、第1供給電圧 U_1 を、負荷装置TRに周期的に供給するための、本発明の回路構造の第1実施例を示す。図1は、本発明による回路構造を、第1供給電圧 U_1 が、第1および第2供給端子K1、K2の間に設けられているスイッチ回路網部に使用しているのを示す。この場合、第1供給電圧 U_1 は、ブリッジ整流器GLRとキャパシタ C_G とを用いて整流することにより、ネット電圧 U_N から生成される。供給電圧 U_1 に接続されるべき負荷装置は、スイッチ回路網部において、変圧器TRの1次巻線 L_P を構成している。この変圧器の2次側には、接続端子AK1、AK2に直流電圧を供給するために、負荷装置を接続することができる。この場合、2次側の整流器構造DS、CSは、1次巻線 L_P から2次巻線LSに誘発された電圧を整流するために使用される。

【0021】

本発明による回路構造は、1次巻線 L_P に対して直列に接続されている第1スイッチS1を備えており、この場合、第1スイッチS1の第1接続端子は、1次巻線 L_P に接続されている。1次巻線 L_P と第1スイッチS1とからなる直列接続は、第1および第2供給端子K1、K2との間に接続されている(verschaltet)。第1スイッチは、制御回路STの第1出力端子A1に接続されている制御端子を備えている。この制御回路は、第1制御信号AS1を出力し、この信号に応じて、第1スイッチS1が開放および閉鎖される。

【0022】

制御回路STは、制御回路U2が規則的に機能するのに不可欠な第2供給電圧U2を供給するために、第1および第2電圧供給端子V1、V2を備えている。本実施例では、電圧供給端子V1、V2に対して並列に、メモリーキャパシタC_{ST}が接続されている。このメモリーキャパシタC_{ST}は、制御回路内部に設けることも可能である。制御回路STへの電圧供給のために、本発明では、1次巻線L_Pと第1電圧供給端子V1との間に接続されている第2スイッチS2が備えられている。第2スイッチS2は、図1による本実施例では、1次巻線L_Pおよび第1スイッチS1に共通の結線と、第1電圧供給端子V1、もしくはメモリーキャパシタC_{ST}との間に接続されている。第2スイッチS2は、第2制御信号A2が入力される制御端子を備えている。この場合、本実施例では、この制御端子が、制御回路STの第2出力端子A2に接続されている。

【0023】

第2スイッチS2の機能は、制御回路STの作動に必要な電圧もしくは必要な電流を提供するキャパシタC_{ST}に、時間的に間隔を置いて、1次巻線L_Pを介して充電することである。最初、つまり、回路網部の入力の際に、キャパシタC_{ST}に充電し、その結果、制御信号AS1、AS2をまず生成するためのエネルギーを供給するために、一図1では点線で示される一抵抗器RAが、第1端子K1とキャパシタC_{ST}との間に接続されていることが好ましい。

【0024】

第1スイッチS1が閉鎖されている場合、負荷装置L_Pにほぼ全ての第1供給電圧U1がかかっている。このとき、電流は、一最初の電流インパルスに対応している一図6に示す、 $t = t_0$ の時点での入力の後、第1スイッチを介する電流I1の時間変化のように、上昇する。このとき、第1スイッチS1にかかる電圧は、第2スイッチS2を介して、キャパシタC_{ST}に電流を引き起こすためには小さすぎる。通例、蓄積された電荷が原因で、キャパシタC_{ST}に供給される第2供給電圧U2は、閉鎖された第1スイッチS1に供給されている電圧よりも既に大きい。キャパシタC_{ST}と第2スイッチS2との間のダイオードD2は、第1および第2スイッチS1、S2が閉鎖されている場合、キャパシタC_{ST}に蓄積されて

いる電荷がスイッチを介して放電するのを防止する。

【0025】

$t = t_1$ の時点で、第1スイッチS1が開放され、そして、このとき第2スイッチS2が閉鎖されると、第2スイッチS2は、1次巻線 L_p を介して流れる電流を引き継ぎ、これによって、制御回路STによって、制御され、 $t = t_3$ の時点で第2スイッチが開放されるまで、キャパシタを充電する。図6は、第1スイッチS1が開放された後の第2スイッチS2を通る電流の変化を点線で示す。電流は、1次巻線を介して、第2スイッチが閉鎖するまでの間更に連続的に上昇することが認識される。この場合、斜線が引かれた面の面積は、キャパシタを介して充電される電荷に相当する。正確には、1次巻線 L_p を介して、キャパシタ C_{ST} に充電する場合、電流は、これまでよりもやや弱く上昇する。なぜなら、1次巻線 L_p にかかる電圧に対してキャパシタ C_{ST} の充電による電圧損失は僅かであるからである。通例、200V以上の第1供給電圧 U_1 と比較して、第2供給電圧 U_2 は、10～15V以上には達しない。その結果、この電圧損失は、あまり重要ではない。

【0026】

第2スイッチS2は、閉鎖された状態で、導通抵抗が僅かであることが好ましい。その結果、キャパシタ C_{ST} に充電する際、第2スイッチS2にはほとんど電力損失が生じない。

【0027】

キャパシタ C_{ST} の充電の間に、第1スイッチS1が開放されており、第2スイッチS2は閉鎖されている場合、エネルギーが1次巻線 L_p に更に蓄積される。このエネルギーは、第1および第2スイッチS1、S2が開放されている場合、2次側に接続することが可能な負荷装置に引き渡される。従って、本発明による回路構造は、容易に実現することが可能であって、制御回路STが僅かな損失で作動するように制御回路STに電圧を供給する機能を果たす。

【0028】

第1スイッチS1の制御は、従来技術によるスイッチ回路網部において周知の方法によって機能する。第2スイッチS2の制御は、様々な方法で行うことが可

能である。この際、重要なことは、第1スイッチS1が開放される場合に、第2スイッチS2が閉鎖されるということである。第2スイッチS2の閉鎖期間は、制御回路STに接続されている第2供給電圧U2に応じて決定される（erfolget）ことが好ましい。この第2供給電圧は、第2スイッチS2を介して電荷が流入した後の間に、電流が制御回路STに引き渡されるため、徐々に下降する。第2スイッチS2は、第2供給電圧U2が、事前に設定された基準値に達するまで、あるいは、第2スイッチS2を介した最後の充電以降に流出した電荷に相当する分がキャパシタC_{ST}に充電されるまで、閉鎖されていることが好ましい。それから、制御回路STによって制御されて開放される。回路構造は、第2供給電圧U2が基準値を上回っているか下回っているかに応じて、第2スイッチ用の制御信号AS2を生成するために、制御回路STに組み込まれている。このような機能性を満たす構造は、従来の技術により同様に周知であり、ここでは詳述しない。

【0029】

図2は、第1および第2スイッチS1、S2がトランジスタT1、T2として、特に、MOSFETとして構成されている、基本的には図1に示す回路構造を示す。第1トランジスタT1のゲート端子Gは、この場合、制御回路STの第1出力端子A1に接続されており、第2トランジスタT2のゲート端子Gは、制御回路STの第2出力端子A2に接続されている。この実施形態では、キャパシタC_{ST}を始めに充電するため、始動抵抗器RAが、負荷装置L_pとキャパシタC_{ST}との間に接続されていることが好ましい。この際、抵抗RAが非常に大きく選択されているため、第1トランジスタT1が導通している場合、第1トランジスタT1を介して、キャパシタC_{ST}のごく僅かな放電が生じる。

【0030】

ダイオードD2は、キャパシタC_{ST}が、第2トランジスタT2を介して放電されるのを防ぐ。技術的には、大抵のMOSFETは、集積フリーホイーリングダイオードを備えており、このダイオードは、制御電圧が供給されていない場合、MOSFETが、ドレインソース領域一方向D-Sにのみ遮断し、一方、順方向電圧（Flussspannung）がソース電極とドレイン電極との間に供給されている場合、MOSFETが、導通しているように作用する。外部第2ダイオードD2

は、この方向への電流の流れを防止する。

【0031】

第2トランジスタが、エンハンスメントトランジスタとして構成されている場合、 n チャネルトランジスタを使用すると、ソース電極S、すなわち第1電圧供給端子V1の電位よりも大きい電位が、ゲート電極Gには不可欠である。第2供給電圧U2から、第2スイッチS2の制御用に高い電圧を生成するために、制御回路STは、従来技術により十分に周知のような、充電ポンプ回路もしくはいわゆるブートストラップ回路であることが好ましい。

【0032】

他の実施形態では、第2トランジスタをディプリーションFETもしくはJFETとして構成することが考えられる。この様なトランジスタは、ゲート電極Gとソース電極Sとの間の僅かな負の電圧の場合でも、導通し、負の電圧が構造型に応じた数値を上回った時に初めて遮断する。この場合、第2トランジスタT2の制御は、トランジスタを導通させるために、好ましくは、制御回路STにあるそのゲート電極Gが、第2出力端子A2を介して、第1電圧供給端子V1に、すなわち、第2供給電圧U2に接続されているように行われる。遮断のためには、第2トランジスタT2は、第2電圧供給端子V2を介して第2端子K2、すなわち、基準電位に接続されていることが好ましい。

【0033】

図3は、エンハンスメントトランジスタを、第1および第2トランジスタT1、T2として使用することを可能にする、本発明による回路構造の更なる実施形態を示す。ここでは、第1電圧供給端子V1もしくはキャパシタC_{ST}の端子と第2トランジスタT2のゲート電極Gとの間に、流れの方向に極性が与えられた、更なるダイオードD1が接続されている。

【0034】

第1トランジスタT1が、制御回路STによって制御されて導通している場合、第1および第2トランジスタT1、T2のドレイン電極Dは、第2端子K2の基準電位にほぼ相当する低い電位である。具体的説明のために図3に示したそのフリーホイーリングダイオードDF（が原因で）によって限定すると、第2ト

ランジスタT2のソース電極Sは、これらダイオードDFの順方向電圧程度、つまり約0.6V、ドレイン電極Dの電位もしくは基準電位より上の電位である。ダイオードD1を介して、第2トランジスタT2のゲート電極Gは、第1ダイオードD1の順方向電圧の値を差し引いた第2供給電圧U2の値に相当する電位である。この電位は、第2供給電圧U2が約10-15Vとする場合、ソース電極Sの電位よりも極めて大きい。その結果、たとえ、第1トランジスタT1が導通していても、第2トランジスタT2は、そのとき絶え間なく導通している。第1トランジスタT1が導通している限り、この場合、第2トランジスタT2を介して電流は流れない。第1トランジスタT1が遮断していると、第2トランジスタT2に電流が流れる。なぜなら、そのゲートキャパシタに蓄積された電荷は、ダイオードD1を介して、流出できないからである。従って、第2トランジスタT2は、1次巻線Lpの1次電流を、キャパシタCSTの充電のために受け入れる。遮断のためには、第2トランジスタT2は、制御回路STの第2出力端子A2を介して、好ましくは、端子V2の基準電位となるように放電される。加えて、制御回路には、第2出力端子A2と第2電圧供給端子V2もしくは端子K2との間に接続することができる電流シンク（Stromsenke）が備えられていることが好ましい。

【0035】

図3に基づく回路構造の更なる実施形態を、図4に示す。ここでは、第1スイッチT1が、IGBTとして構成されている。これは、MOSFETの使用と比較して、入力されている状態では抵抗が僅かであるという利点がある。しかし、スイッチを切る際に、反応時間がより長いという不利点がある。つまり、IGBTの場合、スイッチを切ると、電流が徐々に減衰する。本発明は、第2トランジスタT2が、1次電流を引き継ぐ間に、この電流を徐々に減衰することを可能にする。従って、この回路は、切り替え周波数が高い場合にも使用することができる。

【0036】

図5は、発明による回路構造の更なる実施形態を示す。この回路構造は、力率制御器に使用されており、そこにおいて、第1および第2供給端子K1、K2の

間に接続されているインダクタンス L に第1供給電圧 U_3 を周期的に供給するのに使用される。この供給電圧 U_3 は、ブリッジ整流機 GLR によって、ネット電圧 U_N から生成される。供給電圧 U_3 が供給されると、インダクタンスがエネルギーを受け入れる。続いて、インダクタンスは、整流器構造 D, C を介して、エネルギーを、出力端子 AK_3, AK_4 に転送する。

【0037】

第1スイッチとしての第1トランジスタ T_1 は、インダクタンス L に対して直列に接続されており、そのゲート電極 G は、制御回路 ST の第1出力端子 A_1 に接続されている。第2スイッチとしての第2トランジスタ T_2 は、インダクタンス L と制御回路 ST の第1電圧供給端子との間に接続されている。この場合、この実施形態では、第2トランジスタ T_2 は、インダクタンス L と第1トランジスタ T_1 とに対して直列に、インダクタンス L と第1トランジスタ T_1 との間に接続されている。この場合、第1電圧供給端子 V_1 は、ダイオード D_3 を介して、第1および第2トランジスタ T_1, T_2 に共通の結線に接続されている。

【0038】

第2トランジスタ T_2 のゲート端子は、制御回路 ST の第2出力端子 A_2 に接続されており、ダイオード D_4 を介して、第1電圧供給端子 V_1 もしくはキャパシタ C_{ST} の端子に接続されている。第1トランジスタ T_1 が導通している場合、第2トランジスタ T_2 のソース電極 S は、ほぼ第2端子の基準電位である。そのゲート電極は、基準電位の値を超えて、ほぼ第2供給電圧 U_2 の値である。それゆえ、第2トランジスタ T_2 は、同様に導通している。従って、インダクタンス L は、供給電圧 U_3 によって供給されるエネルギーを受け入れる。第1トランジスタ T_1 が遮断している場合、第2トランジスタ T_2 は、導通しているままである。なぜなら、そのゲートキャパシタは、ダイオード D_4 を介して放電されることができないからである。インダクタンスを介して流れる電流は、従って、第2トランジスタ T_2 とダイオード D_3 とを介して、第2供給電圧 U_2 を提供するために、キャパシタ C_{ST} に流れる。

【0039】

全実施形態は、第1トランジスタ T_1 の閉鎖の後、キャパシタ C_{ST} が、第2ス

イッチを介して、負荷装置 L_P 、 L を介して流れる電流によって充電されることが共通している。キャパシタに蓄積されたエネルギーは、第2スイッチを介して新たに充電が始められるまで、制御回路 S_T への供給のために使用される。第2トランジスタ T_2 は、最後の電荷受け入れ以降に流出した電荷に相当する電荷がキャパシタに補充される間中、閉鎖されたままである。

【図面の簡単な説明】

【図1】

第1実施形態に基づく本発明による回路構造を示す図である。

【図2】

第1および第2スイッチとしてトランジスタを使用する図1に基づく本発明による回路構造を示す図である。

【図3】

図2による実施形態に対して、第2スイッチの変更された制御による第2形態に基づく本発明による回路構造を示す図である。

【図4】

第1スイッチとしてIGBTを有する本発明による回路構造を示す図である。

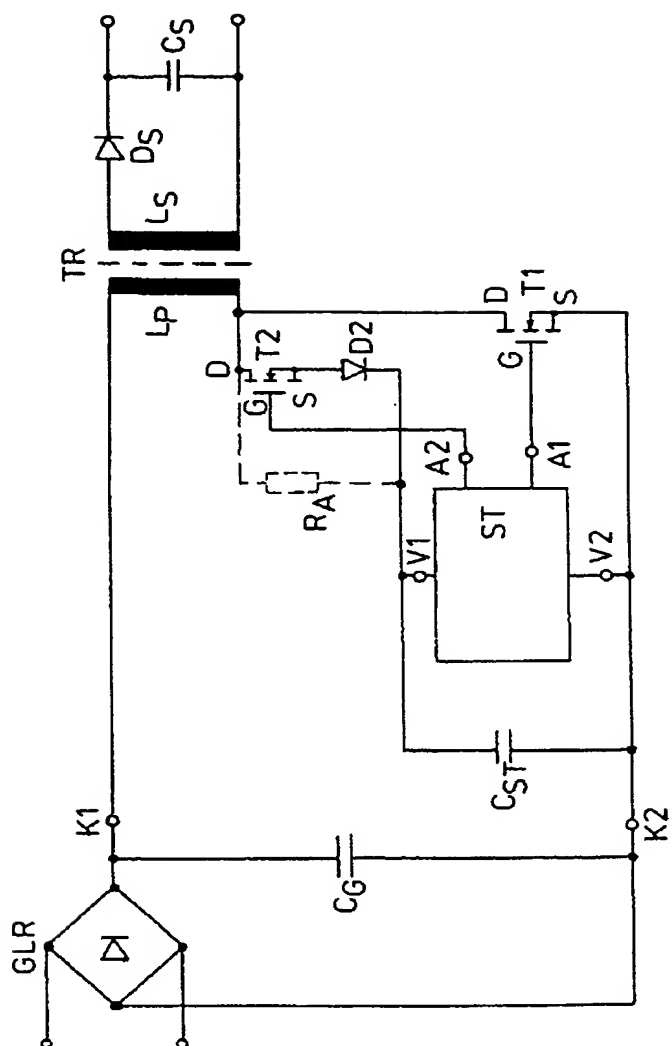
【図5】

第1および第2スイッチが直列に接続されている、更なる実施形態に基づく本発明による回路構造を示す図である。

【図6】

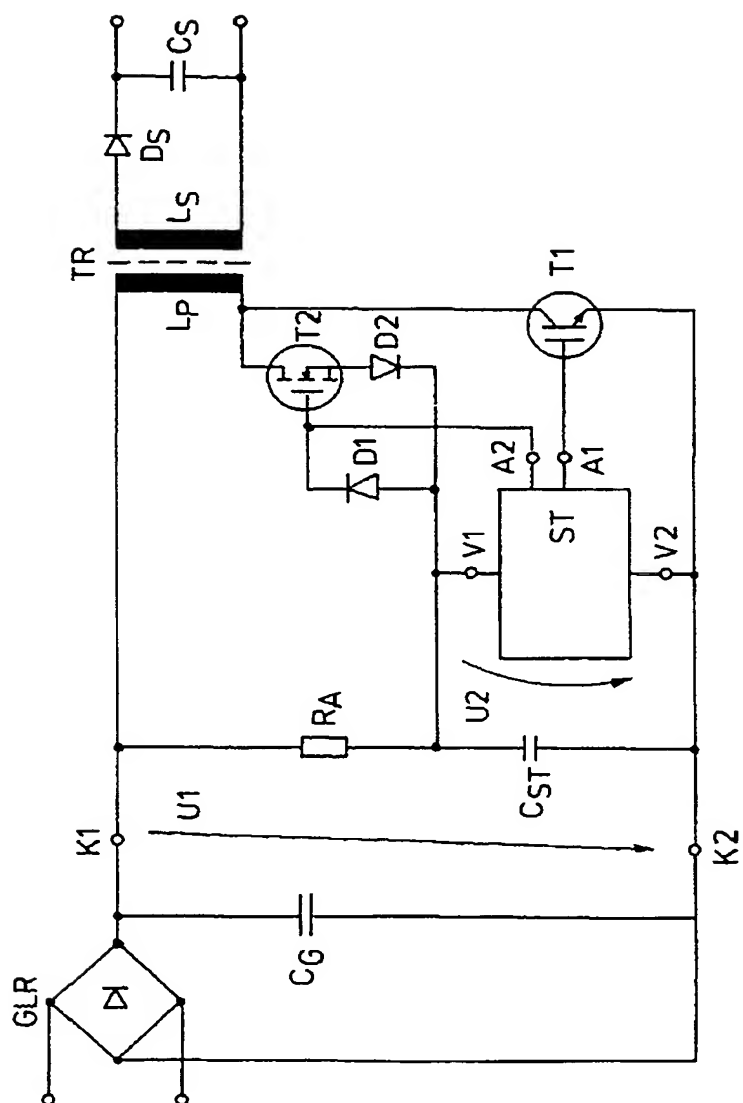
第1および第2スイッチを介した電流の時間変化を示す図である。

FIG 2



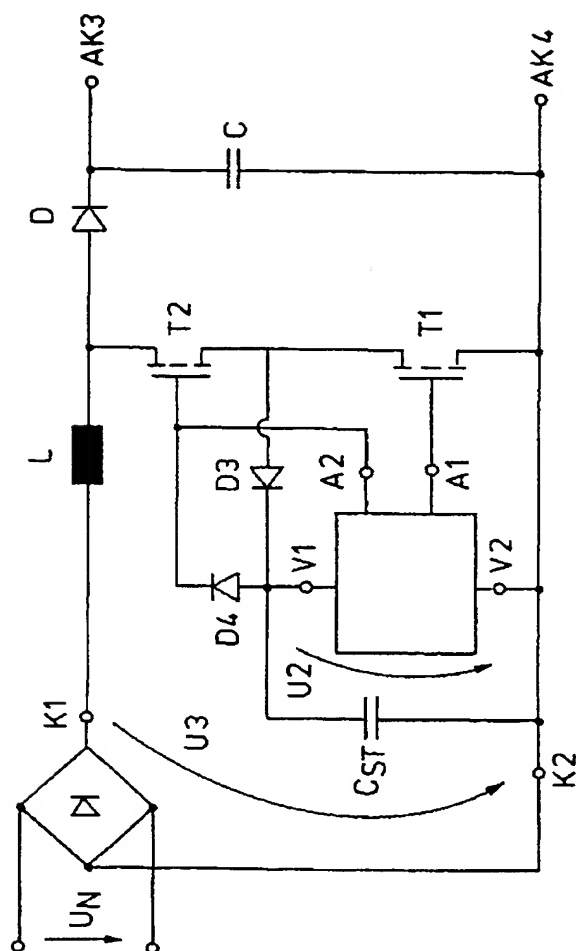
•

FIG 7



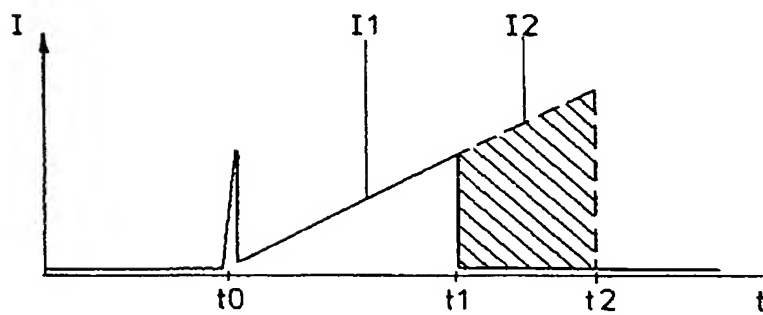
【图 5】

FIG 5



【图 6】

FIG 6



INTERNATIONAL SEARCH REPORT

Inventor's Application No.
PC1/EP 01/00170

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H02M3/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevance to claim No.
X	US 6 002 598 A (ERWIN G.R.SEINEN) 14 December 1999 (1999-12-14) abstract figure 1 ---	1-4
X	US 5 014 178 A (BALU BALAKRISHNAN) 7 May 1991 (1991-05-07) abstract figures 1,2 column 2, line 59 -column 3, line 11 ---	1-4
X	EP 0 585 789 A (POWER INTEGRATIONS INC.) 9 March 1994 (1994-03-09) column 1, line 45 -column 2, line 3 figure 1 --- -/-	1-4



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

Z document member of the same patent family

Date of the actual completion of the international search

11 July 2001

Date of mailing of the international search report

19/07/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx: 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Lund, M

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PLT/EP 01/00170

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 621 623 A (HIROHITO KURIYAMA ET AL.) 15 April 1997 (1997-04-15) figures 2,4,7 column 5, line 9 - line 14	1
A	US 4 414 479 A (JAMES W.B.FOLEY) 8 November 1983 (1983-11-08) abstract figures 3,5 column 2, line 12 - line 28	1
A	US 4 559 592 A (ARNO MULLER) 17 December 1985 (1985-12-17) figure 2 column 5, line 38 - line 55	1

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

page 2 of 2

BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP 01/00170

Potential document cited in search report	Publication date	Patent family member(s)	Publication date
US 6002598 A	14-12-1999	EP 0914706 A WO 9849766 A JP 2000512839 T	12-05-1999 05-11-1998 26-09-2000
US 5014178 A	07-05-1991	JP 2044690 C JP 5137327 A JP 7085649 B	09-04-1996 01-06-1993 13-09-1995
EP 585789 A	09-03-1994	US 5313381 A DE 69300361 D DE 69300361 T JP 6178538 A	17-05-1994 14-09-1995 04-04-1996 24-06-1994
US 5621623 A	15-04-1997	JP 7255170 A	03-10-1995
US 4414479 A	08-11-1983	DE 3270984 D EP 0070158 A JP 3028847 B JP 58026568 A	12-06-1986 19-01-1983 22-04-1991 17-02-1983
US 4559592 A	17-12-1985	NONE	

Form PCT/ISA/210 (patent family annex) (July 1992)

REST AVAILABLE COPY